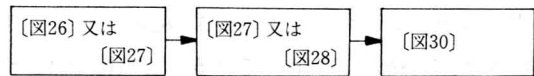
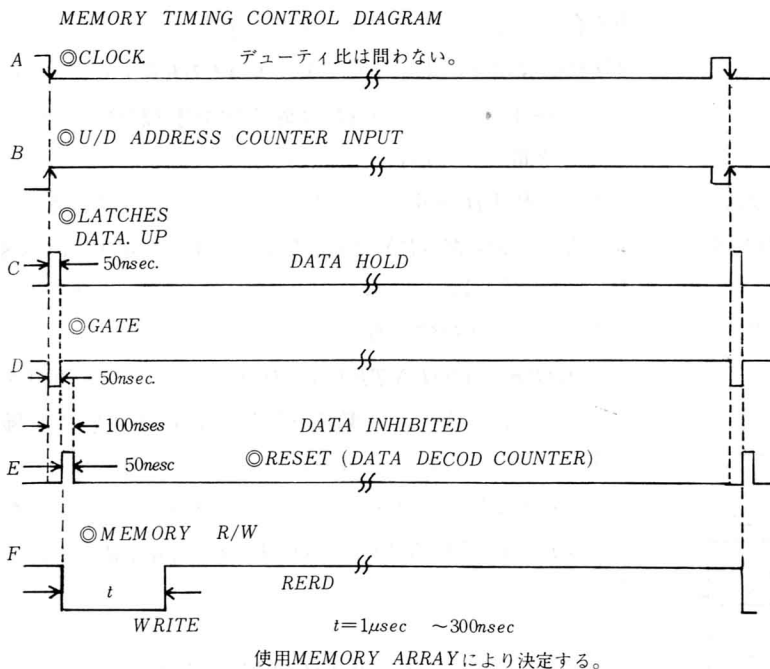


次の[図25]は、予備実験により、ICの能力の限界を確かめて作成したところのICへの命令機構を示すチャートである。

使用素子

[図25]



回路構成(その1)

使用素子

- CK. SUWASEIKO. 8650B or 8651B.
- EXT CLOCK input. 74LS 221or121or13.
- DATA in put. 上に同じ。
- MEMORY CONT. LS221orNANDGATE 74COO etc.
- UP DOWN SELCT. 74LS00or7400.
- ADD. COUNTER 74LS193.
- DATA DECOD COUNTER 74LS90.
- LATCHES. 74LS75.
- MEMORY CELL ARRAY.
 - TTL 93471. 74S401.
 - nMOS 2147 4046 TMM3150 HM 4847. MB8147 μPD2147 NMC5257 MST4044.
 - CMOS 6147 どの Array も1個380円で入手できる。(450nsec以上)
- DECODER/DRIVER 74LS47.

回路は次頁以下に示すが、筆者のオリジナルは上のチャートに示した部分の回路である。[図26~図32]